

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-334996

(43)公開日 平成7年(1995)12月22日

(51) IntCl.⁶

識別記号 序内整理番号

• 1

技術表示箇所

G 11 C 17/ 00

306 A

審査請求 未請求 請求項の数 3 FD (全 10 頁)

(21)出願番号 特願平6-147108

(22)出願日 平成6年(1994)6月6日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 關本 廉彦

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

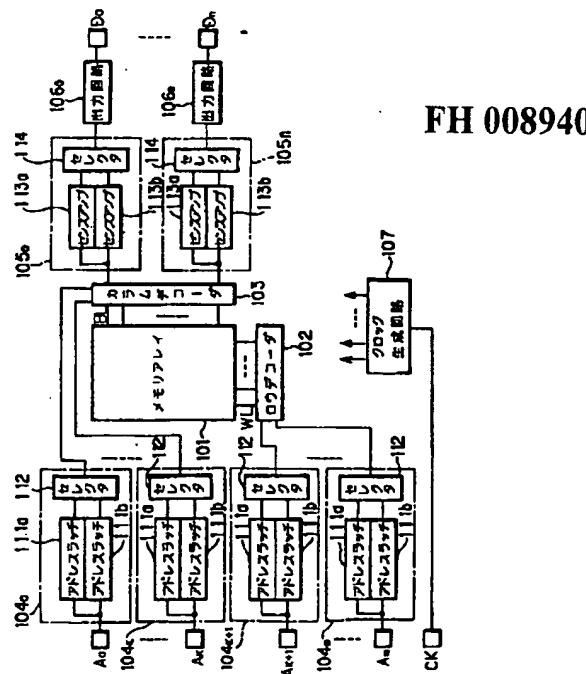
(74)代理人 弁理士 伊丹 勝

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 高速性能と耐ノイズ性向上を図ったROMを提供する。

【構成】 メモリアレイ 101 はデータがマスクプログラムされる。アドレスバッファ 104 は、クロック同期によりアドレスデータを時分割で取り込む 2 系統のアドレスラッチ 111a, 111b とそのラッチデータを選択して出力するセレクタ 112 により構成される。データセンス回路 105 は、クロック同期によりデータセンスとラッチを時分割で行う 2 系統のセンスアンプ 113a, 113b と、そのラッチデータを選択して出力するセレクタ 114 により構成される。クロック生成回路 107 は、これらのアドレスバッファ 104 及びデータセンス回路 105 に時分割動作を行わせるための同期クロック信号を生成する。



【特許請求の範囲】

【請求項1】 データが不揮発に記憶されるメモリアレイと、

このメモリアレイのデータを選択するアドレスを取り込むクロック同期式のアドレスパッファと、

前記メモリアレイの選択されたデータを読み出すクロック同期式のデータセンス回路と、

前記アドレスパッファ及びデータセンス回路内をそれぞれ時分割動作させるための同期クロックを生成するクロック生成回路とを有することを特徴とする半導体記憶装置。

【請求項2】 前記アドレスパッファは、入力端子が共通接続されて時分割でアドレス取り込みを行う複数のアドレスラッチを有することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記データセンス回路は、入力端子が共通接続されて時分割でビット線データ読出しを行う複数のセンスアンプを有することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に係り、特にデータがマスクプログラム等により不揮発に記憶される読出し専用メモリ(ROM)に関する。

【0002】

【従来の技術】 レーザプリンタや楽器の音色用のマスクROMは、近年ますます大容量化している。マスクROMのデータ書き込み方式は、大きく分けて、メモリ素子と配線を接続させるか否かを選択する方式と、メモリトランジスタのしきい値を選択的に変位させる方式がある。後者には、ゲート酸化膜厚を選択的に変えることによりしきい値電圧を変位させる方式や、選択的なチャネルイオン注入によりメモリトランジスタのしきい値を変位させる方式がある。

【0003】 従来のマスクROMの構成は、図13に示すように、マスクによりデータ書き込みがなされるメモリアレイ、外部からのアドレスを取り込むアドレスパッファ、取り込まれたアドレスをデコードして選択されたデータを読み出すためのロウデコーダ及びカラムデコーダ、メモリアレイからのデータを検知するセンスアンプ、及びデータ出力回路により構成される。

【0004】 マスクROMは、大容量化に伴って、高速性能を実現することが難しくなっている。このことを、図14の読出し動作タイミング図を用いて説明する。図14は、図13のマスクROMにおいて、アドレスADが、1, 0, 1, 0と変化し、これに対する出力データD0の期待値が1, 0, 1, 0であるとしたときの、各部の信号遅延の様子を示している。入力されたアドレスADはアドレスパッファでτ1だけ遅れ、更にロウデコーダでτ2だけ遅れて、メモリアレイにデコード信号が

供給される。メモリアレイからの出力データはセンスアンプでτ3遅れて出力され、更に出力回路でτ4遅れて出力される。従ってこのマスクROMのアクセスタイムは、τ1+τ2+τ3+τ4であり、アドレスのサイクルタイムはこれより短くすることはできない。

【0005】 また大容量マスクROMは、素子及び配線の微細化により大容量化しているため、ノイズによる誤動作も発生しやすい。例えば、アドレスパッファ部に、図15に示すようなクロックドインバータを用いたラッチ回路を用いた場合について説明する。このアドレスラッチ回路は、アドレス入力ADをクロックCKの立上がりタイミングで読み込み、立下がりタイミングで保持する。クロックCKがHレベルの間はスルー状態にあるので、この間にノイズが発生すると誤動作につながるおそれがある。

【0006】 その誤動作の例を具体的に図16、図17を用いて説明する。クロックCKがHレベルの間、アドレスラッチの出力により内部回路が駆動されて大電流が流れると、図16に示したように、接地線VSSにはヒゲ状のノイズ(グランドバウンス)が発生する。いま、図17に示すように、アドレス入力ADのH, Lレベルが、それぞれアドレスラッチを構成するクロックドインバータのHレベル認識の最低電圧VH、Lレベル認識の最高電圧VLのぎりぎりのところに設定されていたとする。そうすると、前述のグランドバウンスが発生したとき、これによりクロックドインバータのVHが実質的に持ち上がるから、アドレスラッチのHレベル出力はこの瞬間、図16に示すように中間レベルまで低下する。この出力レベル低下は内部回路にとってノイズとなるから、誤動作の原因となる。

【0007】 【発明が解決しようとする課題】 以上のように従来のROMは、大容量化に伴って、一層の高速化が難しくなり、またノイズによる誤動作が発生し易くなっているという問題があった。この発明は上記の点に鑑みなされたもので、高速性能と耐ノイズ性向上を図ったROMを提供することを目的としている。

【0008】 【課題を解決するための手段】 この発明に係るマスクROMは、データが不揮発に記憶されるメモリアレイと、このメモリアレイのデータを選択するアドレスを取り込むクロック同期式のアドレスパッファと、前記メモリアレイの選択されたデータを読み出すクロック同期式のデータセンス回路と、前記アドレスパッファ及びデータセンス回路内をそれぞれ時分割動作させるための同期クロックを生成するクロック生成回路とを有することを特徴としている。この発明において好ましくは、アドレスパッファが、入力端子が共通接続されて時分割でアドレス取り込みを行う複数のアドレスラッチを有することを特徴としている。またこの発明において好ましくは、データ

40

40

50

FH 008941

タセンス回路が、入力端子が共通接続されて時分割でビット線データ読出しを行う複数のセンスアンプを有することを特徴としている。

【0009】

【作用】この発明によるROMは、アドレスバッファ及びデータセンス回路が例えば2系統に分けられて、これらが時分割で動作するようにクロック同期制御がされる。この様なクロック同期による時分割動作をさせると、あるクロックサイクルで取り込まれたアドレスにより指定されたデータ読出しを行っている間に、次のアドレスの取り込み動作ができる。そうすると、複数サイクルに着目したとき、サイクルタイムが一部オーバーラップした状態でのデータ読出しが行われることになる。従ってこの発明によれば、あるアドレスが入ってからこれにより指定されたデータが読み出されるまでの時間（通常サイクルタイムと呼ばれる）が従来と同じであったとしても、実質的にサイクルタイムが短縮されたと等価になる。また、アドレスバッファを2系統のクロック同期式アドレスラッチで構成すると、一方がアドレス読み込みを行っている間、他方をラッチ（ホールド）状態として、ホールド状態にあるアドレスラッチ側からの出力のみを選択して取り出すことができる。これにより、従来のようなスルーフラグをなくして、ノイズによる誤動作を防止することができる。

【0010】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係るマスクROMのブロック構成である。このマスクROMは、マスクプログラムによりデータが不揮発に記憶されるメモリアレイ101、このメモリアレイ101のワード線選択を行うロウデコーダ102、ビット線選択を行うカラムデコーダ103、外部から供給されるアドレスA0, …, Ak, …Amを取り込むアドレスバッファ104 (1040, …, 104k, …, 104m)、メモリアレイ101のビット線データを読み出すデータセンス回路105 (1050, …, 105n)、データセンス回路105で読み出されたデータを外部出力端子に取り出す出力回路106 (1060, …, 106n)を有する。

【0011】メモリアレイ101は例えば、図2に等価回路を示したように、nチャネルMOSトランジスタMijからなるNOR型メモリセルを用いて構成されている。各メモリトランジスタMijは、マスクプログラムによって、ワード線WLにHレベル信号が入ってもオンしないようにしきい値を充分高くした状態（データ“0”）か、ワード線WLにHレベル信号が入ったときにオンするように所定のしきい値に設定された状態（データ“1”）のいずれかに設定される。マスクプログラムの具体的な方式は、従来より公知のものでよい。また図2では、NOR型のメモリセルを示しているが、NA

ND型メモリセルを用いることもできる。

【0012】アドレスバッファ104は、クロック同期式であって、各アドレス端子毎に、入力を共通接続した2系統のアドレスラッチ111a, 111bを有する。これらアドレスラッチ111a, 111bは、後に詳細を説明するが、クロック制御によって時分割で交互にアドレス取り込みを行う。アドレスラッチ111a, 111bに取り込まれたアドレスは、セレクタ112により選択されて、ロウデコーダ112及びカラムデコーダ103に供給される。

【0013】アドレスバッファ104が2系統に分けられていることに対応して、データセンス回路105も選択ビット線に入力が共通接続される2系統のクロック同期式センスアンプ113a, 113bを有する。これら2系統のセンスアンプ113a, 113bもクロック制御によって時分割で交互にデータ読出しを行う。センスアンプ113a, 113bで読み出されたデータは、セレクタ114により選択されて、出力回路106に送られる。

【0014】以上のアドレスバッファ104及びデータセンス回路105を時分割で動作させるために、基準クロックCKに基づいて各種同期クロックを生成するクロック生成回路107が設けられている。

【0015】この実施例によるマスクROMのデータ読出し動作を、図3を参照して説明する。クロック生成回路107から得られる各種同期クロックとこれによる各部の詳細な動作については後述するものとし、ここでは基準クロックCKとの関係でアドレスの取り込み動作とデータ読出し動作の概略を、各回路要素の内部遅延を無視して示している。図示のように、基準クロックCKに同期してアドレス信号A0が「1, 1, 0, 0, 1, 1, …」と入力されたとする。またこれらのアドレスA0に対する出力データD0の期待値が「1, 0, 1, 1, 0, …」であるとする。図ではクロックサイクルを①, ②, ③, …で示している。

【0016】図示のようにアドレスデータは、クロックCKの立下がりタイミングで2系統のアドレスラッチ111a, 111bに交互に時分割で取り込まれる。即ち第1系統のアドレスラッチ111aは、奇数サイクル①, ③, ⑤, …のアドレスを取り込み、第2系統のアドレスラッチ111bは偶数サイクル②, ④, …のアドレスを取り込む。これら2系統のアドレスラッチ111a, 111bに取り込まれたアドレスは、クロックCKの立上がりタイミングで切替え動作するセレクタ112により交互に選択されて取り出される。こうしてセレクタ112により取り出されたアドレスにより、メモリアレイ101のワード線選択及びビット線選択がなされる。

【0017】ビット線データは、クロックCKの立上がりタイミングで2系統のセンスアンプ113a, 113b

bにより交互に時分割で読み出される。即ち、第1系統のセンスアンプ113aは、サイクル②内のクロック立上がりタイミングでサイクル①のデータを検知増幅し、サイクル③ではこれを保持する。また、サイクル④内のクロック立上がりタイミングでサイクル③のデータを検知増幅し、サイクル⑤ではこれを保持する。第2系統のセンスアンプ113bは、サイクル③内のクロック立上がりタイミングでサイクル②のデータを検知増幅し、サイクル④ではこれを保持する。また、サイクル⑤内のクロック立上がりタイミングでサイクル④のデータを検知増幅し、サイクル⑥ではこれを保持する。そしてこれら2系統のセンスアンプ113a, 113bにより検知されたデータは、クロックCKの立上がりタイミングで切替える動作するセレクタ114により交互に選択されて取り出される。

【0018】以上のようにして、データ出力端子には、サイクル③でサイクル①のデータが出力され、サイクル④でサイクル②のデータが出力されるというように、クロックの2サイクル前のデータが得られる。そしてこの場合、第1系統のセンスアンプ113aに保持されたサイクル①のデータが出力されている時には、既に次のサイクル②のデータが第2系統のセンスアンプ113bにより読み出されるという動作が行われる。具体的に従来の図14に示す各部遅延時間との関係で説明すれば、この実施例においては、アドレスバッファ104では、1サイクルが τ_1 以上、ロウデコーダ102, カラムデコーダ103, メモリアレイ101及びセンス回路105からなるコア回路部では1サイクルが $\tau_2 + \tau_3$ 以上、出力回路106では1サイクルが τ_4 以上であれば、支障なくデータ読み出しができる。したがつてこの実施例によれば、2系統の回路の時分割動作によって、データ読み出し動作を一部オーバーラップさせることにより、実質的なサイクルタイムの短縮ができる。

【0019】図4は、2系統のアドレスラッチ111a, 111bとセレクタ112からなるアドレスバッファ104の具体的な構成例である。第1系統のアドレスラッチ111aは、アドレスをクロック同期により反転して取り込むクロックドCMOSインバータ301と、そのアドレスデータを保持するためのCMOSインバータ302とクロックドCMOSインバータ303が逆並列接続されたラッチ回路とから構成されている。クロックドCMOSインバータ301と303とは、互いに補のクロック信号ACK, /ACKにより制御される。第2系統のアドレスラッチ111bも同様の構成である。但し第2系統のクロックドCMOSインバータ301と303は、第1系統とは位相がずれた互いに補のクロック信号BCK, /BCKにより制御される。

【0020】セレクタ112は、2系統のアドレスラッチ111a, 111bのデータを交互に切替えて取り出すクロックドCMOSインバータ304, 305と、取

り出されたデータを送り出すためのバッファ用CMOSインバータ306により構成されている。二つのクロックドCMOSインバータ304, 305は、互いに補のクロックB, Aにより制御される。

【0021】図5は、図4のアドレスバッファ104の同期制御に必要な各種クロック信号を生成するクロック生成回路107の具体的な構成例である。図示のように、基準クロックCKが入力されるTタイプフリップフロップ401と、その二つの出力Q, /Qと基準クロックCKの論理積をとるANDゲート402, 403、及びこれらの出力を反転するインバータ404, 405により構成される。

【0022】フリップフロップ401の二つの出力Q, /Qは、基準クロックを1/2分周した信号であり、そのまま図4のセレクタ112を制御する相補クロック信号A, Bとなる。また出力Qと基準クロックCKの積をとるANDゲート403の出力から、第1系統のアドレスラッチ111aを制御する相補クロック信号ACK, /ACKが得られ、出力/Qと基準クロックCKの積をとるANDゲート402の出力から、第2系統のアドレスラッチ111bを制御する相補クロック信号BCK, /BCKが得られる。これらの各種クロック信号の基準クロックCKとの関係は図7に示すようになる。

【0023】図4のように構成されたアドレスバッファの動作を、図7のタイミング図を用いて説明する。図7は、先の図3の例と同様に、基準クロックCKに同期してアドレス信号A0が「1, 1, 0, 0, 1, 1, ...」と入力された場合の動作タイミングを示している。クロックサイクル①のアドレスは、クロック信号ACKがHレベルになると第1系統のアドレスラッチ111a側のクロックドインバータ301がオンして、反転されてノードN_aに転送される。この第1系統のアドレスラッチ111aに取り込まれたデータは、クロック信号/ACKがHレベルになることによりラッチ保持される。

【0024】次のクロックサイクル②のアドレスは、クロック信号BCKのHレベルで第2系統のアドレスラッチ111bのノードN_bに取り込まれ、クロック信号/BCKがHレベルになることで保持される。以下同様にして、アドレスデータは順次、第1系統のアドレスラッチ111aと第2系統のアドレスラッチ111bに交互に振り分けられて保持される。

【0025】第1系統のアドレスラッチ111aに保持されたサイクル①のアドレスデータは、クロック信号BがHレベルになると、セレクタ112のクロックドインバータ304がオンして取り出される。第2系統のアドレスラッチ111bに保持されたサイクル②のアドレスデータは、クロック信号AがHレベルになり、セレクタ112のクロックドインバータ305がオンすることにより取り出される。以下同様にして、第1系統のアドレスラッチ111aと第2系統のアドレスラッチ111bに

FH 008943

交互に取り込まれたデータが、セレクタ112により交互に選択されて出力されることになる。

【0026】以上のように時分割で動作する2系統のクロック同期式アドレスラッ奇を用いてアドレスバッファを構成することにより、マスクROMの耐ノイズ性が高いものとなる。その理由を具体的に図8を用いて説明する。図8は、従来例の図16に対応させてクロックによるグランドバウンスの様子を含めた動作タイミングを示している。図示のように基準クロックCKに同期して、接地線VSSには従来と同様にグランドバウンスが発生する。アドレスラッ奇111a, 111bのノードNa, Nbにはこのグランドバウンスによるノイズが出る。

【0027】しかし、ノードNaにノイズが出るタイミングでは、セレクタ112のクロックドインバータ304はオフである。そして、アドレスラッ奇111aのクロックドインバータ301がオフしてデータ保持状態になってから、セレクタ112のクロックドインバータ304がオンになって、アドレスが送り出される。ノードNbについても同様である。従ってこの実施例では、アドレスバッファが従来のようにスルー状態になることはなく、デコーダに送られるアドレスデータにグランドバウンスによるノイズが乗らない。

【0028】図6は、図1に示したデータセンス回路105の具体的構成例である。2系統のクロック同期式センスアンプ113a, 113bの共通入力端子INは、カラムデコーダ103により選択されるメモリアレイのビット線BLにつながる。第1系統のセンスアンプ113aは、選択されたメモリトランジスタMijが電流引き込みを行うか否かを検出する電流検出型のブリセンス回路60aと、その出力ノードA-SENの電圧を増幅するカレントミラー型差動増幅器61aと、このカレントミラー型差動増幅器61aの出力をノードA-SENに正帰還するクロック同期式の正帰還回路62aとを有する。差動増幅器61aとその出力を保持するための正帰還回路62aとがデータラッ奇機能を持つメインセンス回路64aを構成している。

【0029】ブリセンス回路60aは、ソースが電源に接続されたブルアップ用PMOSトランジスタQP1とともに直列接続されたNMOSトランジスタQN1とから構成され、NMOSトランジスタQN1のソースは、NMOSトランジスタからなるトランスマゲートSWAを介して入力端子INに接続されている。NMOSトランジスタQN1のゲート・ソース間には、データ検知時のノードA-SENのレベル変化を所定範囲に抑えるための負帰還回路を構成するインバータ11が挿入されている。カレントミラー型差動増幅器61aは、PMOSトランジスタQP4, QP5からなる能動負荷と、NMOSトランジスタQN4, QN5からなるドライバとにより構成されている。

【0030】正帰還回路62aは、データ保持時にノー

ドA-SENを充分にHレベルまたはLレベルに保つためのもので、ノードA-SENと電源VDDの間に直列接続されたPMOSトランジスタQP2, QP3と、ノードA-SENと接地VSS間に直列接続されたNMOSトランジスタQN2, QN3とを有する。NMOSトランジスタQN3のゲートは基準クロックCKにより制御され、NMOSトランジスタQN2のゲートは、2段のインバータ14, 15からなるバッファを介してカレントミラー型差動増幅器61aの出力ノードA-OUTにより制御される。PMOSトランジスタQP2のゲートは基準クロックCKの反転クロック/CKにより制御され、PMOSトランジスタQP3のゲートは、2段のインバータ12, 13からなるバッファを介してカレントミラー型差動増幅器61aの出力ノードA-OUTにより制御される。

【0031】第2系統のセンスアンプ113bも同様に、ブリセンス回路60bと、カレントミラー型差動増幅器61b及び正帰還回路62bからなるメインセンス回路64bとを有する。その細部については、第1系統のセンスアンプ113aと対応する部分に同じ符号を付けて詳細な説明は省く。第2系統のセンスアンプ113b側のトランスマゲートSWBは、第1系統のセンスアンプ113aのトランスマゲートSWAとは逆相のクロック信号Bにより制御される。

【0032】これら2系統のセンスアンプ113a, 113bの差動増幅器61a, 61bの出力ノードA-OUT, B-OUTは、それぞれインバータ16を介してセレクタ114につながる。セレクタ114は、2系統のセンスアンプ113a, 113bの出力を切替えて取り出すためのクロックドインバータ63a, 63bにより構成されている。これらのクロックドインバータ63a, 63bは互いに逆相のクロック信号B, Aにより制御されて、2系統のセンスアンプ113a, 113bの出力を時分割で交互に取り出すようになっている。

【0033】この様に構成されたセンス回路の動作を図9を参照して説明する。図9は、クロックサイクルに従ってデータ期待値が「1, 1, 0, 0, 1, 1, …」となる場合の動作タイミングを示している。サイクル①では、クロック信号AがHレベル、クロック信号BがLレベルである。このとき、第1系統側のトランスマゲートSWAがオン、第2系統側のトランスマゲートSWBがオフであり、選択されたメモリアレイのビット線データは第1系統のセンスアンプ113aにのみ転送される。いまの場合、サイクル①のデータは「1」でメモリトランジスタMijが電流引き込みを行うとすると、ブリセンス回路60aの出力ノードA-SENがLレベルになり、従ってカレントミラー型差動増幅器61aの出力ノードA-OUTはHレベルになる。これにより二つの帰還信号FBP, FBN共にHレベルになる。

【0034】但し、サイクル①のクロックCKがLレベルの間は、正帰還回路62aのPMOSトランジスタQ

9
 P2, NMOSトランジスタQN3共にオフであり、帰還ループは形成されない。サイクル①の後半でクロックCKがHレベルになると、NMOSトランジスタQN3及びPMOSトランジスタQP2がオンになり帰還ループが形成される。いまの場合、データが“1”であって、NMOSトランジスタQN3がオン、PMOSトランジスタQP3がオフであるから、ノードA-SENは正帰還動作によりほぼ接地電位まで下がる。

【0035】読み出しだデータが“0”であって、メモリトランジスタが電流引き込みを行わない場合、例えば図9のサイクル③のデータの場合は、プリセンス回路60aの出力ノードA-SENがHレベル、従ってカレントミラー型差動増幅器61aの出力ノードA-OUTはLレベルになる。また二つの帰還信号FBP, FBNは共にLレベルになる。そしてクロックCKがHになると、NMOSトランジスタQN3及びPMOSトランジスタQP2がオンになり帰還ループが形成されて、ノードA-SENは正帰還動作によりほぼ電源電位まで上昇する。

【0036】サイクル②に入ると、クロック信号AがLレベル、トランസファゲートSWAがオフになって、ノードA-SENのデータがラッチされた状態になる。同時にクロックBがHレベルになるから、セレクタ114のクロックドインバータ63aがオンになって、ラッチされた第1系統のセンスアンプ62aのデータが選択されて出力される。そして第1系統のセンスアンプ62aがデータラッチと出力を行っている間、第2系統のセンスアンプ62bではトラン斯ファゲートSWBがオフになって、サイクル②のデータセンスが行われる。読み出されたデータはサイクル③に入ってラッチされ、このラッヂデータはクロックAによりセレクタ114のクロックドインバータ63bがオンになって選択されて出力される。

【0037】以下同様にして、第1系統のセンスアンプ113aがピット線センスを行っている間、第2系統のセンスアンプ113bはその前のサイクルのデータをラッヂしてこれを出力し、第2系統のセンスアンプ113bがピット線センスを行っている間、第1系統のセンスアンプ113aはその前のサイクルのデータをラッヂしてこれを出力する、という動作が繰り返される。

【0038】従ってこの実施例のデータセンス回路によると、2系統のセンスアンプ113a, 113bの時分割動作によって、出力パッドからのデータ出力の完了を待たずに次のサイクルのデータ読み出しを行うことができるから、高速化が可能になる。またセンスアンプ113a, 113bには、最もノイズが乗りやすいノードA-SEN, B-SENをフルスイングさせてデータラッヂする正帰還回路62a, 62bを設けており、これにより優れた耐ノイズ性が得られる。

【0039】図10は、図1の実施例におけるデータセンス回路105を変形した実施例を示す。この実施例で

は、一つのデータセンス回路105は、一つのセンスアンプ91と、その出力に入力が共通接続されて時分割動作する二つのクロック同期式のデータラッヂ92a, 92bを有する。二つのデータラッヂ92a, 92bの出力はセレクタ93により選択されて出力回路106に導かれる。

【0040】図11は、図10のデータセンス回路105の具体的構成である。センスアンプ91は、ピット線BLにつながる電流検出型のプリセンス回路60とカレントミラー型差動増幅器61とにより構成されている。これは、図6に示すセンスアンプのなかの正帰還回路部を除いたもので、従来より用いられているものと変わらない。カレントミラー型差動増幅器61の出力C/MOUTは、インバータI6を介して次のデータラッヂ92a, 92bに供給される。

【0041】第1系統のデータラッヂ92aは、クロック信号ACKにより制御されるクロックドCMOSインバータ71、及び逆並列接続された通常のCMOSインバータ72とクロック信号/ACKにより制御されるクロックドCMOSインバータ73とから構成されている。第2系統のデータラッヂ92bも同様の構成であるが、第2系統のクロックドCMOSインバータ71, 73は、第1系統のクロック信号ACK, /ACKとはそれぞれ180°位相の異なるクロック信号BCK, /BCKにより制御される。セレクタ93は、それぞれクロック信号B, Aにより制御されて、2系統のデータラッヂ92a, 92bのラッヂデータを選択して取り出すクロックドCMOSインバータ74, 75により構成されている。

【0042】これらの2系統のデータラッヂ92a, 92b及びセレクタ93の構成原理は、先の図4に示したアドレスラッヂと同じである。これらに用いるクロック信号A, ACK, B, BCK及びこれらの反転信号も、図5に示すクロック生成回路107により得られるものである。

【0043】この実施例のセンス回路の動作を図12を用いて説明する。サイクル①のデータ“1”が入ると、プリセンス回路60に電流が流れノードSENはLレベルに引かれる。これにより差動増幅器61の出力ノードC/MOUTはHレベルになる。そして、クロック信号ACKがHレベルになると、第1系統のデータラッヂ92aのクロックドインバータ71がオンになって読み出されたデータがノードAOUTに転送され、次のサイクル②に入りクロック信号/ACKがHになるとにより、そのデータがラッヂされる。そしてこのラッヂデータは、クロック信号BがHになることによりクロックドインバータ74を介して出力される。以上のデータラッヂと出力の間に、センスアンプ61はサイクル②のデータ読み取りを行う。

【0044】サイクル②でセンスアンプ61により読み

FH 008945

取られたデータは、クロック信号BCKがHレベルになって、第2系統のデータラッチ92bのノードBOUTに転送され、次のサイクル③に入ってクロック信号/BCKがHになることによりラッチされる。このラッチデータは、クロック信号AがHになることによりクロックドインバータ75を介して出力される。以下同様に、センスアンプ61で読み取られるデータは交互にデータラッチ92a, 92bに取り込まれ、データをラッチして出力する間に次のデータをセンスするという動作が繰り返される。

【0045】従ってこの実施例によっても、データセンス動作と、データラッチ及び出力の動作が一部オーバーラップした状態で繰り返されることになるため、高速読み出しが可能である。また、センスアンプ自体には先の実施例のようなラッチ機能はないが、センスアンプ出力が確定した直後にデータラッチを行うことにより、誤動作は確実に防止することができる。

【0046】なお実施例では、アドレスバッファが2系統のアドレスラッチを持つ場合を説明したが、3系統以上のアドレスラッチを持つようにアドレスバッファを構成することができる。データセンス回路についても同様であり、3系統以上のセンスアンプを設けるか、あるいは一つのセンスアンプに対して3系統以上のデータラッチを設けることもできる。また実施例では専らマスクROMを説明したが、この発明はこれに限らず、PROM, EEPROM等の他のROMにも同様に適用することができる。

【0047】

【発明の効果】以上述べたようにこの発明によるROMでは、アドレスバッファ及びデータセンス回路が例えば2系統に分けられて、これらが時分割で動作するようクロック同期制御がされ、あるクロックサイクルで取り込まれたアドレスにより指定されたデータ読み出しを行っている間に、次のアドレスの取り込み動作ができる。従って、実質的にサイクルタイムが短縮されたと等価の高速動作が可能になる。また、アドレスバッファを2系統のクロック同期式アドレスラッチで構成して、一方がアドレス読み込みを行っている間、他方をホールド状態として、ホールド状態にあるアドレスラッチ側からの出力

のみを選択して取り出すことができる。これにより、ROMの耐ノイズ性向上が図られる。

【図面の簡単な説明】

【図1】この発明の一実施例によるマスクROMの構成例を示す。

【図2】同実施例のメモリアレイ構成例を示す。

【図3】同実施例のデータ読み出し概略動作を示す。

【図4】同実施例のアドレスバッファの構成例を示す。

【図5】同実施例のクロック生成回路の構成例を示す。

【図6】同実施例のデータセンス回路の構成例を示す。

【図7】図4のアドレスバッファの動作波形を示す。

【図8】図4のアドレスバッファのグランドバウンスを考慮した動作波形を示す。

【図9】図6のデータセンス回路の動作波形を示す。

【図10】他の実施例のデータセンス回路の構成を示す。

【図11】図10のデータセンス回路の具体構成例を示す。

【図12】図11のデータセンス回路の動作波形を示す。

【図13】従来のマスクROMの構成を示す。

【図14】図13のマスクROMのデータ遅延の様子を示す。

【図15】従来のアドレスラッチの構成例を示す。

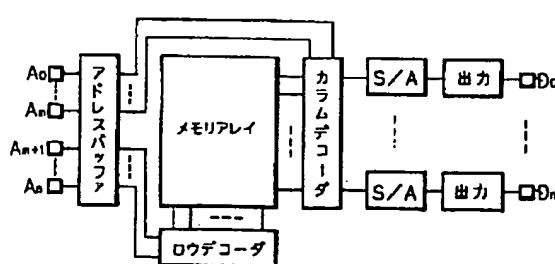
【図16】図15のアドレスラッチのグランドバウンスを考慮した動作波形を示す。

【図17】従来のノイズ発生の原理を説明する図である。

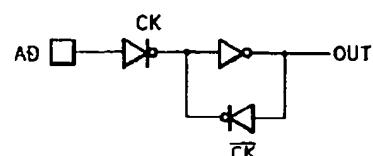
【符号の説明】

101…メモリアレイ、102…ロウデコーダ、103…カラムデコーダ、104…アドレスバッファ、111a, 111b…アドレスラッチ、112…セレクタ、105…データセンス回路、113a, 113b…センスアンプ、114…セレクタ、106…出力回路、107…クロック生成回路。

【図13】

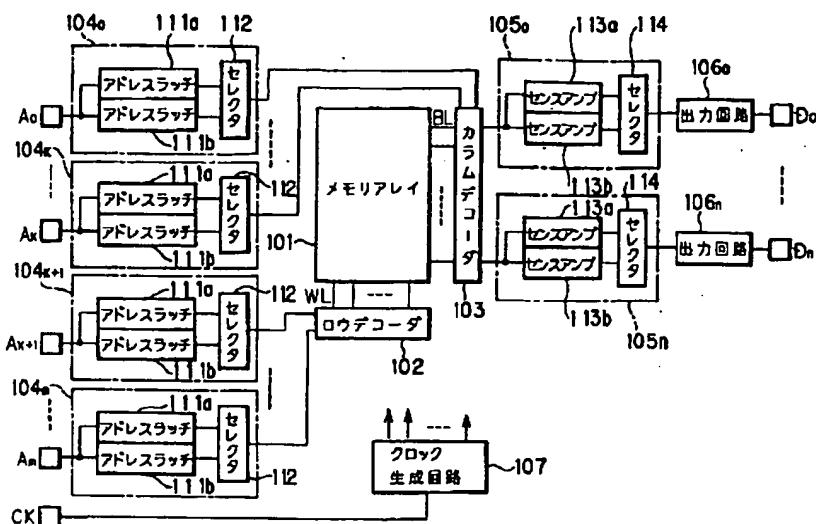


【図15】

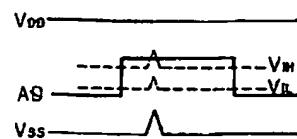


FH 008946

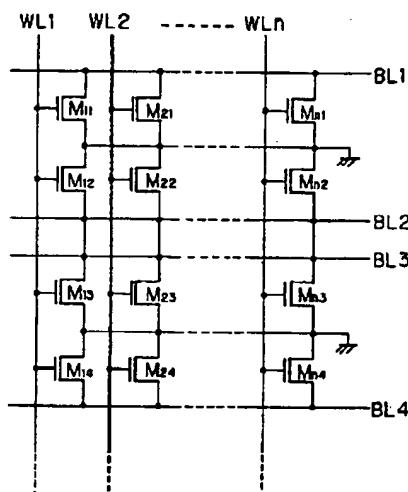
〔圖 1〕



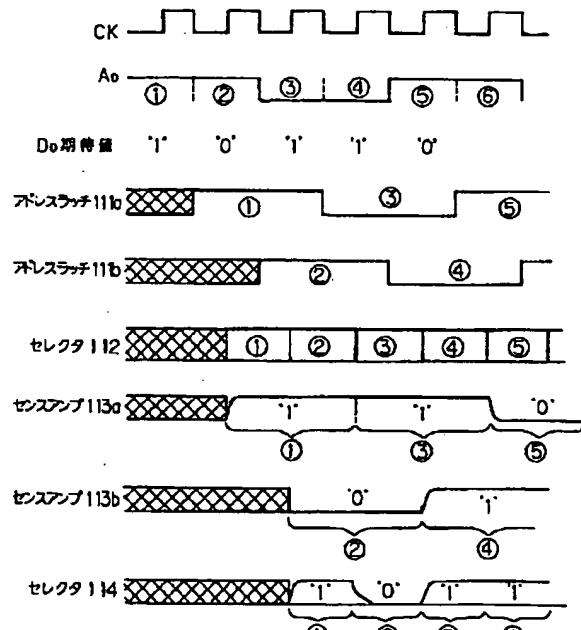
[图 17]



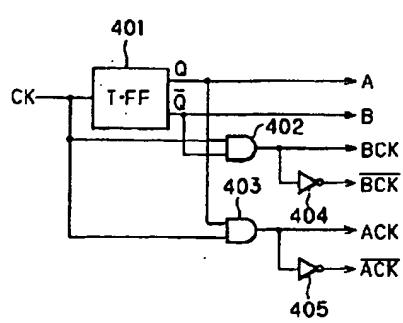
[图2]



〔图3〕

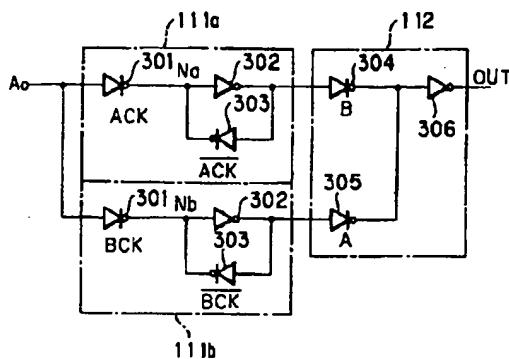


【圖5】

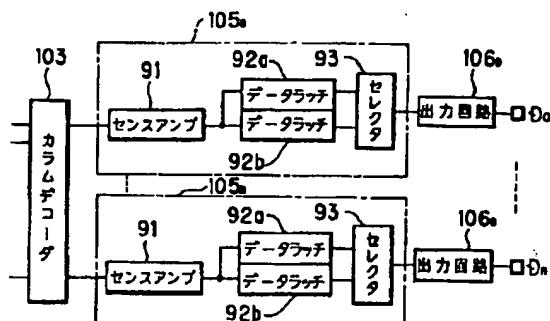


FH 008947

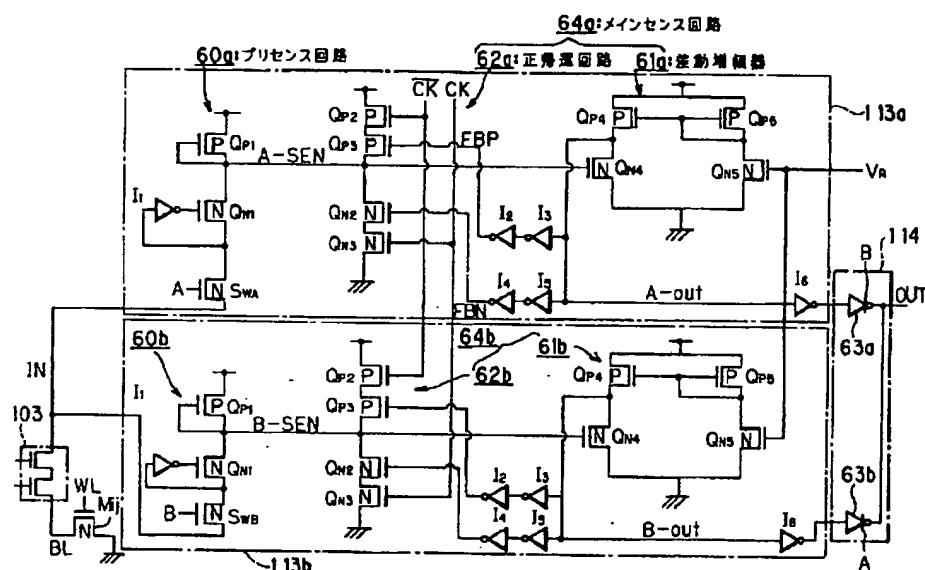
【図4】



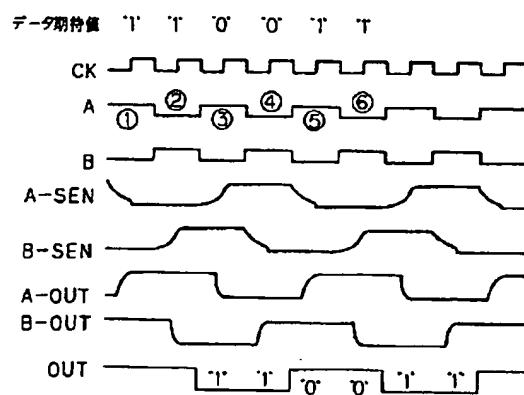
【図10】



【図6】

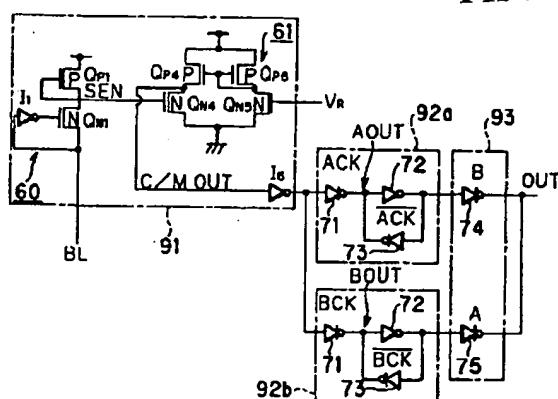


【図9】

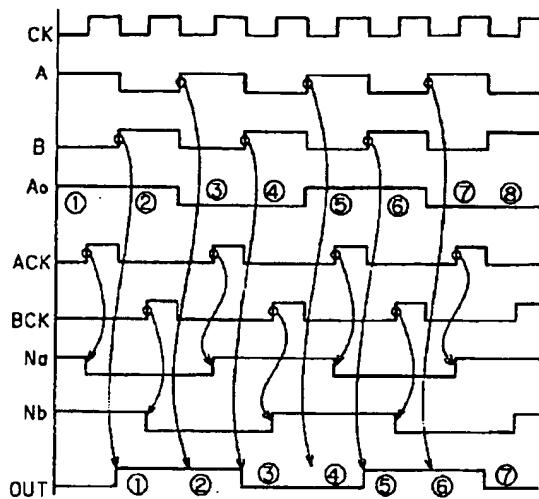


【図11】

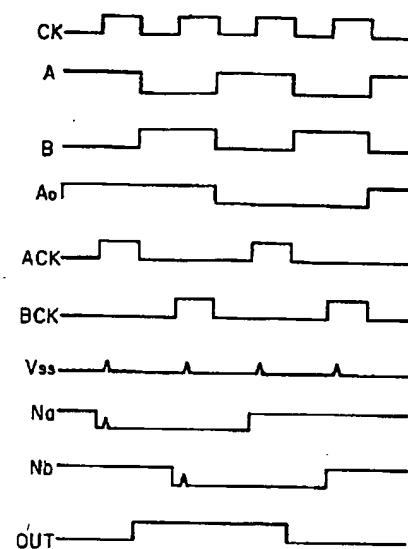
FH 008948



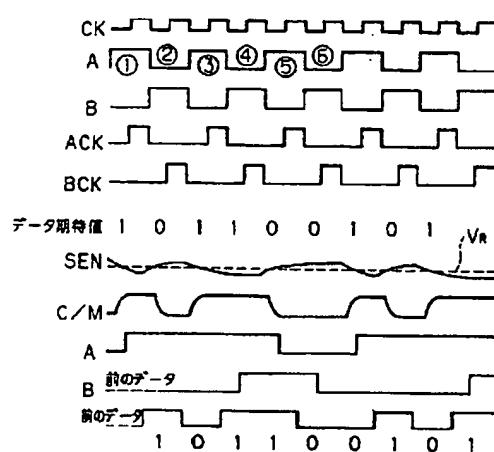
【図7】



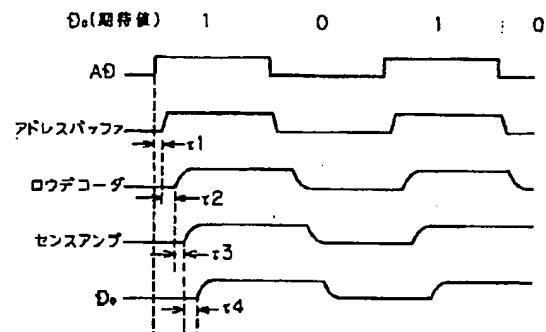
【図8】



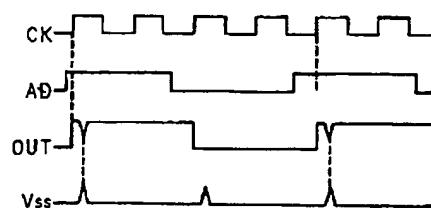
【図12】



【図14】



【図16】



FH 008949